

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-202988

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

G06F 1/32
G06F 1/26
G06F 1/04
G06F 15/02
G06F 15/16

(21)Application number : 10-005046

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.01.1998

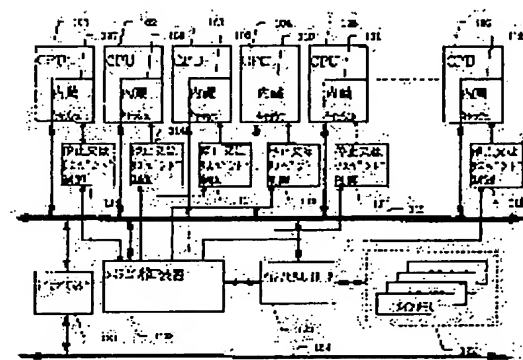
(72)Inventor : TSUBOI MASAHIDE
MORIYAMA TAKASHI
TSUKITOU TETSUJI

(54) SYSTEM POWER CONSUMPTION CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption of a multiprocessor system consisting of CPUs.

SOLUTION: When the multiprocessor system does not require large processing capacity, one or more CPUs 101 to 106 are stopped or suspended to reduce the total power consumption of the system without lowering the needed processing capacity of the system. For this purpose, circuits 113 to 118 which stop or suspend the CPUs 101 to 106 that the system is equipped with are provided one to one, and a multitask operating system monitors the use quantities of the respective CPUs 101 to 106 and stops or suspends a CPU which is small in use quantity. Thus, the processing capacity that the system requires on the whole is secured and then the total power consumption of the system is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-202988

(43) 公開日 平成11年(1999) 7月30日

| (51) Int.Cl. ⁸ | 識別記号 | F I |
|------------------------------|-------|----------------------|
| G 0 6 F 1/32 | | G 0 6 F 1/00 3 3 2 Z |
| 1/26 | | 1/04 3 0 1 C |
| 1/04 | 3 0 1 | 15/02 3 0 5 H |
| 15/02 | 3 0 5 | 15/16 S |
| 15/16 | | 1/00 3 3 0 C |
| 審査請求 未請求 請求項の数 3 O L (全 6 頁) | | |

(21) 出願番号 特願平10-5046

(22) 出願日 平成10年(1998) 1月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 坪井 正英

神奈川県海老名市下今泉810番地 株式会

社日立製作所オフィスシステム事業部内

(72) 発明者 森山 隆志

神奈川県海老名市下今泉810番地 株式会

社日立製作所オフィスシステム事業部内

(72) 発明者 月東 哲児

愛知県尾張旭市晴丘町池上1番地 株式会

社日立旭エレクトロニクス内

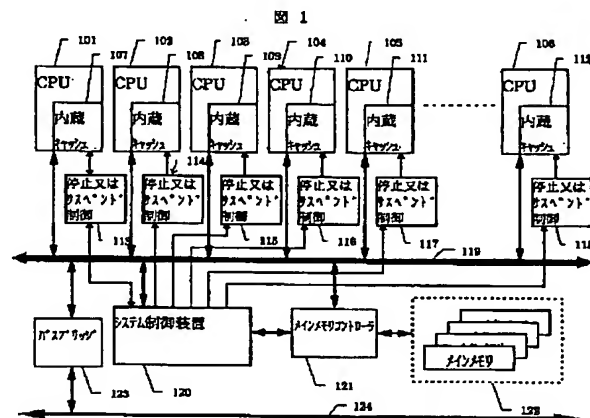
(74) 代理人 弁理士 秋本 正実

(54) 【発明の名称】 システム消費電力制御方法

(57) 【要約】

【課題】 複数のCPUから成るマルチプロセッサシステムにおける消費電力の低減。

【解決手段】 マルチプロセッサシステムにおいて多くの処理能力を必要としない場合に、1つ又は複数のCPU 101~106を停止又はサスペンドする事により、必要とするシステムの処理能力を低下させることなく、システム全体の消費電力を削減するもの。このためシステムに具備されている各CPU 101~106毎に停止又はサスペンドする回路113~118を設け、マルチタスクオペレーティングシステムが各CPUの利用量を監視し、利用量が少ないCPUに対して停止又はサスペンドさせるもの。従ってシステム全体で必要とする処理能力を満たしたうえでシステム全体の消費電力を削減する事が出来る。



【特許請求の範囲】

【請求項1】 複数のCPUを備えるマルチプロセッサシステムにおけるシステム消費電力制御方法であって、前記複数のCPUの個々、またはグループ毎に省電力制御を行い、省電力単位で前記複数のCPUの利用量が所定値よりも低下した場合、任意のCPUを停止又はサスペンド状態にすることを特徴とするシステム消費電力制御方法。

【請求項2】 個々に電力供給制御が行なわれ、且つキャッシュメモリを内蔵する複数のCPUと、該複数のCPUを制御するシステム制御装置と、該システム制御装置に接続されたメインメモリとを備えるマルチプロセッサシステムにおけるシステム消費電力制御方法であって、前記複数のCPUの利用量が所定値よりも低下した場合、任意のCPUのキャッシュメモリの内容を前記メインメモリ又は他のCPUのキャッシュメモリに待避させ、該キャッシュメモリの内容を待避したCPUを停止又はサスペンド状態にすることを特徴とするシステム消費電力制御方法。

【請求項3】 CPUの利用量が増加した場合、前記停止又はサスペンド状態にしたCPUを再動作させると共に、該再動作したCPUに前記メインメモリ又は他のCPUのキャッシュメモリに待避した内容を復旧することを特徴とする請求項2記載のシステム消費電力制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のCPUを備えるマルチプロセッサシステムにおけるシステム消費電力制御方法に係り、特に多くの処理能力を必要としない時に、動作するCPUの数を減らす事により、システム全体の消費電力を削減することができるシステム消費電力制御方法に関する。

【0002】

【従来の技術】近年のコンピュータシステムでは、複数のCPUを接続し、該複数のCPUを並列動作等を行うことにより処理能力を向上したマルチプロセッサ構成のシステムが採用されている。このマルチプロセッサシステムは、複数台のCPUを駆動するために消費電力が大きく、該消費電力の低減化が望まれている。

【0003】このため従来技術による電力制御方法としては、例えば特開平5-53680号公報に記載されている如く、消費電力が供給されるクロック周波数に比例するCPUを備えるコンピュータシステムにおいて、システムバスのビジー状態及びプロセッサ割込信号等によりCPUの駆動状態を監視し、CPUの駆動状態が低い場合にCPUに供給するクロック周波数を低下してシステムの低消費電力化を図るものが提案されている。

【0004】尚、前記システムの低消費電力に関する技術が記載された文献としては、例えば、特開平8-19

0535号公報及び特開平7-325788号公報が挙げられる。

【0005】

【発明が解決しようとする課題】前述の従来技術は、CPUの駆動状態が低い場合にCPUに供給する全てのクロック周波数を低減して全体の低消費電力化を図るため、一部に高い処理能力を必要とするCPUが割り当てられていたとしてもシステム全体の処理能力を退化させてしまうと言う不具合があった。また、前記公報記載の技術は、マルチプロセッサを構成する要素プロセッサ個々の負荷等に応じて動作速度を変化させることにより低消費電力化を図るものであるが、該要素プロセッサの消費電力にしか着目せず、現実の問題となる各要素プロセッサが担当するプログラムやデータの処理については考慮しておらず、現実のマルチプロセッサ適用が困難であると言う不具合があった。

【0006】本発明の目的は、前述の従来技術による不具合を除去することであり、必要とするシステムの処理能力を低下することなく、システム全体の小電力を低減することができるシステム消費電力制御方法を提供することである。

【0007】

【課題を解決するための手段】前記目的を達成するため本発明は、複数のCPUを備えるマルチプロセッサシステムにおけるシステム消費電力制御方法であって、前記複数のCPUの個々、またはグループ毎に省電力制御を行い、省電力単位で前記複数のCPUの利用量が所定値よりも低下した場合、任意のCPUを停止又はサスペンド状態にすることを第1の特徴とする。

【0008】また本発明は、個々に電力供給制御が行なわれ、且つキャッシュメモリを内蔵する複数のCPUと、該複数のCPUを制御するシステム制御装置と、該システム制御装置に接続されたメインメモリとを備えるマルチプロセッサシステムにおけるシステム消費電力制御方法であって、前記複数のCPUの利用量が所定値よりも低下した場合、任意のCPUのキャッシュメモリの内容を前記メインメモリ又は他のCPUのキャッシュメモリに待避させ、該キャッシュメモリの内容を待避したCPUを停止又はサスペンド状態にすることを第2の特徴とする。

【0009】更に本発明は、前記特徴においてCPUの利用量が増加した場合、前記停止又はサスペンド状態にしたCPUを再動作させると共に、該再動作したCPUに前記メインメモリ又は他のCPUのキャッシュメモリに待避した内容を復旧することを第3の特徴とする。

【0010】

【発明の実施の形態】以下、本発明によるマルチプロセッサシステムにおけるシステム消費電力制御方法の一実施形態を図面を参照して詳細に説明する。図1は、本実施形態が適用されるマルチプロセッサシステムの構成の

概略を示す図であり、このシステムは、個々にキャッシュメモリ107～112を内蔵する複数のCPU101～106と、該複数のCPU101～106をシステムバス119を介して制御するシステム制御装置120と、該制御装置120に接続されたメインメモリ122及びメインメモリコントローラ121と、前記システムバス119とローカルバス124を接続するバスブリッジ123と、前記複数のCPU101～106をシステム制御装置120からの指令に応じて停止又は駆動クロック周波数を低下させるサスペンド制御を行う停止又はサスペンド制御部113～118とを備える。

【0011】さて、この様に構成されたマルチプロセッサシステムは、CPU101～106に各々割り当てられたプログラム（マルチタスク）を並列的に実行することにより、処理能力の向上を図る様に構成されており、該マルチタスクのオペレーティングシステムは、各CPUに割り当てた各タスクに対する各CPU利用率101～106を監視する機能を備える。このCPUの利用率とは、当該CPUの稼働率／CPUに与えるデータ量及びプログラムサイズ等／プログラム内容等によって監視され、所定の利用率が予め設定されている。

【0012】このオペレーティングシステムは、前記CPU利用率の少ないタスクを検出した場合、そのタスクが割り当てられているCPU101～106に対し、当該CPUの機能停止又はサスペンドを実行させるためにシステム制御装置120に対しシステムバス119を介して制御情報を送り、システム制御装置120は該制御情報を元に、まず該当CPUのキャッシュメモリ内のデータ或いはプログラム等の内容をシステムバス119を介してメインメモリ122又は他のCPUに書き戻すと共に、タスクの停止又はサスペンドさせないCPUへの再割り当てを実施し、この後に該当CPUの停止又はサスペンドを実施する。このCPUの停止とは、電源断／電源を供給するもののホットスタート可能なレベルに留める等の処理が成されることを意味し、またサスペンドとはCPUの駆動クロック周波数を標準値より低下させることを意味するものであるが、本発明はこれらに限らずCPUの消費電力を低減する処理（省電力制御）であれば良い。

【0013】この様に本実施形態によるシステム消費電力制御方法は、前述の動作を各タスク毎に実施する事でCPU使用量が少ないタスクが割り当てられたCPUを停止又はサスペンドすることにより、システム全体としての消費電力を削減することができる。

【0014】次に前述の停止又はサスペンドしているCPUを再度正常に動作させる処理は、マルチタスクのオペレーティングシステムが各タスクの処理状態を監視し、駆動中のCPUでは処理能力が不足した場合、又は新規なプログラム他の要因により多くの処理能力を必要とすると予想される場合、前記停止又はサスペンドして

いるCPUに対して正常動作を再開するようにシステム制御装置120に対しシステムバス119を介して制御情報を送り、システム制御装置120が該制御情報に基づき当該CPUの動作を再現させ、この時、タスクを動作再開させるCPUへ割り当てるようタスクの再割当を実施する。

【0015】これら処理は、図2に示す如くフローチャートで表される。即ち、上記処理は、ステップ21の開始においてオペレーティングシステムが複数のタスクの監視を行い（ステップ22）、CPUの利用量が所定値より低いかどうか判定し（ステップ23）、利用量が低い（YES）場合、利用量の少ないタスクを他のCPUに割り当て（ステップ24）、当該CPUのキャッシュメモリ内データ等をメインメモリに書き戻し（ステップ25）、当該CPUを停止又はサスペンドし（ステップ26）、利用量が高い（NO）場合、停止又はサスペンドしているCPUを電源供給又はクロックの復帰により再動作させ（ステップ27）、該再動作させたCPUに対してタスクの再割り当てを行う（ステップ28）処理が実行される。尚、前記例ではCPUの利用量の判定基準として1つの基準値を用いる例を説明したが、本発明はこれに限られることなく、例えば幅をもった標準範囲を設定し、該標準範囲内なら処理をそのまま実行し、標準範囲以下なら前記CPUの停止等を実行し、標準範囲以上ならCPUの再動作を行う様に構成しても良い。

【0016】図3は、前述の実施形態における停止又はサスペンド制御の具体例を説明するための図である。図中、図1と同符号のものは同一部位を示し、符号301は各CPUへのシステムクロック、符号302はシステム制御装置120から制御部113～118に供給されるシステムクロック制御信号、符号303は各CPUを独立して停止又はサスペンドさせる為の制御用レジスタ、符号304は各CPU内蔵のキャッシュ内のデータをメインメモリに書き戻す為のキャッシュ制御回路、符号305は各CPU内蔵のキャッシュ内のデータをメインメモリに書き戻す為のメインメモリコントローラ制御回路、符号306は停止又はサスペンド情報をデコードする停止又はサスペンド制御レジスタ303、CPU内蔵キャッシュ制御回路304、メインコントローラ制御回路305を制御する情報デコーダである。

【0017】本構成において、各タスクの状態を監視するCPU101が、CPU利用率が減少したタスクを検知した場合、オペレーティングシステムが各CPUに対してタスクの再割当を実施し、システムバス119に対して停止又はサスペンドさせるCPUの情報を発行する。この情報を基にシステム制御装置120内に有るデコーダ306により停止又はサスペンドさせるCPUを解析し、キャッシュ制御回路304及びメインメモリコントローラ305に対し内蔵キャッシュメモリ内のデータをメインメモリ122に書き戻させる制御を指示す

る。更にキャッシュ制御回路304は、内蔵キャッシュ内のデータがメインメモリ122に全て書き戻された事を確認した後、前記制御用レジスタ303に停止又はサスペンドさせるCPUの情報を書き込み、各CPUに供給されるシステムクロックを抑止し、任意のCPUに対して停止又はサスペンドを実行する。

【0018】一方、停止又はサスペンド状態のCPUを再動作させるためには、タスクの監視を行っているCPU101から再動作を行う情報をシステムバス119に発行し、この情報を基にシステム制御装置120内に有るデコーダ306により再動作させるCPUを解析し、制御用レジスタ303に再動作させるCPUの情報を書込むことで、CPUに対するシステムクロックの供給を再開し、CPUを動作させる。その後、タスクの再割り当てを実施する。

【0019】この様に本実施形態によるマルチプロセッサシステムは、システム制御装置120内に、各CPUのタスクによる利用量を監視及び解析する情報デコーダ306と、各CPU対応の停止又はサスペンド状態を記録する制御レジスタ303と、該当CPUの内蔵キャッシュメモリ内の内容を待避及び復旧するためのキャッシュ制御回路304と、メインメモリ121を制御するメインメモリコントローラ305とを設け、情報デコーダ306により利用量の低いCPUを監視し、利用量の低いCPUに対して制御回路304が内蔵キャッシュメモリの内容をメインメモリに待避してから制御レジスタ303に停止又はサスペンドさせるCPUの情報を書き込んで当該CPUの停止等を行い、停止又はサスペンド状態のCPUを再動作させるときには、タスクの監視を行っているCPU101から再動作を行う情報を基にデコーダ306が再動作させるCPUを解析し、制御用レジスタ303に再動作させるCPUの情報を書込むことにより、CPUに対するシステムクロックの供給を再開してCPUを動作させると共にタスクの再割り当てを実施し、容易に復旧することができる。

【0020】また前述の実施形態においては個々のCPU単位に省電力制御を行う例を説明したが本発明はこれに限られるものではなく、例えばCPUを使用形態に応じて複数のグループ分けを行い、グループ単位に省電力制御を行う様にしても良い。

【0021】尚、本発明は次に述べる実施形態としても表すことができる。

<実施形態1> 処理性能向上のために複数のCPUを具備したマルチプロセッサシステム装置において、多くの処理能力を必要としない場合に、1つ又は複数のCPUを停止又はサスペンド状態にする事でシステム全体の消費電力を減らす事を特徴とするシステム消費電力制御方式。

【0022】<実施形態2> 1つ又は複数のCPUを

停止又はサスペンド開始前に停止又はサスペンドするCPUに内蔵されたキャッシュメモリの内容をメインメモリ又は動作を続行させるCPUの内蔵キャッシュに退避させる機能を有するシステム消費電力制御方式。

【0023】<実施形態3> 多くの処理能力が必要になった時、停止又はサスペンドしているCPUを再度動作させる為の機能を有するシステム消費電力制御方式。

【0024】<実施形態4> 前記実施形態1のシステム装置上で動作するマルチタスクオペレーティングシステムにおいて、各タスク毎のCPU利用量を監視し、CPU利用量の少ないタスクが割り当てられたCPUを停止又はサスペンドし、更に、該タスクを動作しつづける別のCPUに割り当てる機能を持つマルチタスクオペレーティングシステム。

【0025】<実施形態5> 前記実施形態1のシステム装置上で動作するマルチタスクオペレーティングシステムにおいて、停止又はサスペンドしているCPUを各タスクのCPU利用量により再動作させ、更に、該CPUにタスクを再度割り当てる機能を持つマルチタスクオペレーティングシステム。

【0026】

【発明の効果】以上述べた如く本発明によれば、マルチプロセッサシステムにおいて、各CPU毎に停止又はサスペンドする回路と各CPUの利用量を監視し利用量が少ないCPUに対して停止又はサスペンドさせる機能を有するマルチタスクオペレーティングシステムとを設け、多くの処理能力を必要としない場合に、1つ又は複数のCPUを停止又はサスペンドする事により、必要とするシステムの処理能力を低下させることなく、システム全体の消費電力を削減する事ができる。

【図面の簡単な説明】

【図1】本発明によるシステム消費電力制御方法を適用するマルチプロセッサシステムの一実施形態を示す図。

【図2】本発明によるシステム消費電力制御方法による動作を説明するためのフローチャート。

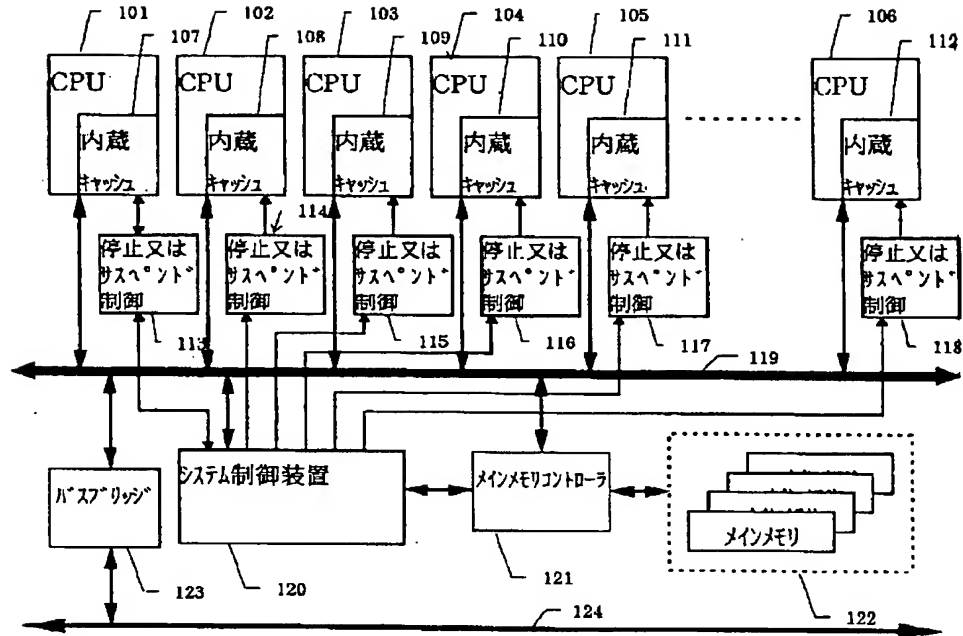
【図3】本発明による停止又はサスペンド制御及びシステム制御回路の内部構成を説明するための図。

【符号の説明】

101~106: CPU、107~112: CPU内蔵キャッシュ、113~118: 停止又はサスペンド制御、119: システムバス、120: システム制御装置、121: メインメモリコントローラ、122: メインメモリ、123: バスブリッジ、124: ローカルバス、301: システムクロック、302: システムクロック制御信号、303: 停止又はサスペンド制御レジスタ、304: CPU内蔵キャッシュ制御回路、305: メインメモリコントローラ制御回路、306: 停止又はサスペンド情報デコーダ。

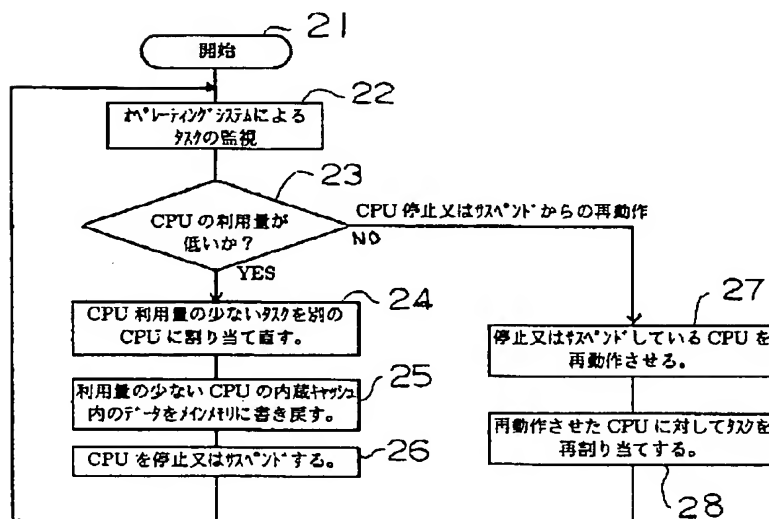
【図1】

図 1



【図2】

図 2



【図3】

図3

